

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-284132

(43)Date of publication of application : 15.11.1989

(51)Int.Cl.

H04L 7/08

H03L 7/08

H04J 3/07

(21)Application number : 63-114205

(71)Applicant : FUJITSU LTD

(22)Date of filing : 11.05.1988

(72)Inventor : KOSUGI TORU

FURUKAWA TAKAHIRO

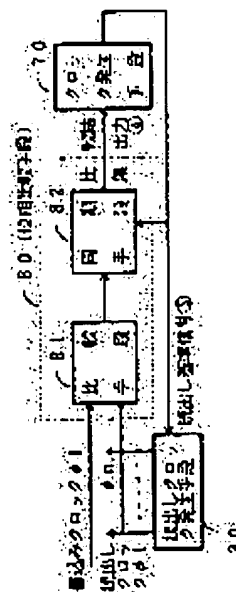
NOZAWA AKIRA

(54) PHASE COMPARISON CIRCUIT

(57)Abstract:

PURPOSE: To prevent a control error from being given to a clock generating means by providing a synchronizing means to restrike a compared result output to be outputted from a comparing means by a read reference signal to be outputted from the clock generating means.

CONSTITUTION: The write clock ϕ_{w1} of a first phase of timing for writing data in the memory of a first stage and the read clock ϕ_{r1} of the first phase of the timing for reading the data from the memory of the first stage are phase- compared by a comparing means 81, and the compared result output is restruck by the timing of the read reference signal 5 for accessing a read clock generating means 30 to be outputted from the clock generating means 70 by the synchronizing means 82. Thus, the phase relative position of a read clock against a write clock can be always maintained at a fixed position regardless of both the number of memory stages and the duty factor of the clock to be standard and besides, without giving the control error to the clock generating means 70.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-284132

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)11月15日

H 04 L 7/08
H 03 L 7/08
H 04 J 3/07

A-6914-5K
Z-8731-5J

6914-5K 審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 位相比較回路

⑯ 特 願 昭63-114205

⑰ 出 願 昭63(1988)5月11日

⑱ 発 明 者 小 杉 亨 栃木県小山市城東3丁目28番1号 富士通デジタル・テクノロジー株式会社内

⑲ 発 明 者 古 川 隆 弘 栃木県小山市城東3丁目28番1号 富士通デジタル・テクノロジー株式会社内

⑳ 発 明 者 野 澤 晃 栃木県小山市城東3丁目28番1号 富士通デジタル・テクノロジー株式会社内

㉑ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉒ 代 理 人 弁理士 井 術 貞一

明 細 書

ことを特徴とする位相比較回路。

1. 発明の名称

位相比較回路

2. 特許請求の範囲

複数段のメモリ素子からなるメモリに書込まれている入力データを読出すために前記メモリ段に対応して複数相の読出しクロック($\phi 1 \sim \phi n$)を発生する読出しクロック発生手段(30)からの第1相の読出しクロック($\phi 1$)と、前記入力データと同一速度を有するクロックに基づき、前入力データを前記メモリの一段目へ書込むための第1相の書込みクロック($\phi 1$)との位相を比較する比較手段(81)と、

所定自走発振周波数を有するフェーズロックドループからなるクロック発生手段(70)から出力する前記読出しクロック発生手段(30)をアクセスするための所定速度の読出し基準信号(4)にて前記比較手段(81)から出力する比較結果出力を打ち直す同期手段(62)とを備える

3. 発明の詳細な説明

(概 要)

データの書込みクロックと読出しクロックの位相比較結果により、所定自走発振周波数を有して所定速度のクロックを発生するフェーズロックドループの出力を制御する位相比較回路に関し、

メモリ段数にも基準となるクロックのデューティファクタにも無関係でしかもクロック発生回路に対して誤制御をかけることがない位相比較回路を実現することを目的とし、

複数段のメモリ素子からなるメモリに書込まれている入力データを読出すために前記メモリ段に対応して複数相の読出しクロックを発生する読出しクロック発生手段からの第1相の読出しクロックと、入力データと同一速度を有するクロックに基づき、入力データを前記メモリの一段目へ書込むための第1相の書込みクロックとの位相を比較する比較手段と、所定自走発振周波数を有する

フューズロックドループからなるクロック発生手段から出力する読出しクロック発生手段をアクセスするための所定速度の読出し基準信号にて前記比較手段から出力する比較結果出力を打ち直す同期手段とを備え構成する。

(産業上の利用分野)

本発明は、データの書き込みクロックと読出しクロックの位相比較結果により、所定自走発振周波数を有して所定速度のクロックを発生するフューズロックドループの出力を制御する位相比較回路に関する。

例えば、ディジタル伝送方式で正しく信号を再生するための同期処理の1つとして、スタッフパルスの挿入・除去により同期を取るスタッフ同期方式が採用されている。

このような場合におけるパルススタッフの送受信側では、バッファメモリ、読出しクロック、書き込みクロックと、位相比較回路、電圧制御発振回路（以下VCOと称する）等からなるフューズ

ロックドループ（以下PLSと称する）を用いて、スタッフパルスを挿入・除去し、クロック周波数の変換を行うことにより同期を取っている。

この時のバッファメモリはPIFOのメモリ素子を複数段使用し、シリアルデータを複数のパラレルデータに変換して書き込み、パラレルデータをシリアルデータに変換しながら読出すことによりクロック周波数の変換を行っている。

かかる変換がバッファメモリの段数の変更やクロックのデューティ比等に無関係に行われ、しかも変換時に発生するジッタを少なくすることが必要である。

(従来の技術)

第4図は従来例を説明するブロック図、第5図は従来例における処理状況を説明する図、第6図は他の従来例を説明するブロック図、第7図は他の従来例における処理状況を説明する図をそれぞれ示す。

第4図に示す従来例はメモリ1の段数を5ビット

とした時の例であり、この時位相比較回路4で比較するクロック位相として3相目の書き込みクロック $\phi 3$ （ $=\phi n/2$ ）と、1相目の読出しクロック $\phi 1$ とした場合である。

書き込みクロック発生回路2は書き込みデータ①と同期して送られて来る書き込み基準クロック④からn相の書き込みクロック $\phi 1 \sim \phi n$ を発生する。

この各相の書き込みクロック $\phi 1 \sim \phi n$ はメモリ1のn段（ビット）にそれぞれ対応したものとなる。又、読出しクロック発生回路3から発生する各相の読出しクロック $\phi 1 \sim \phi n$ も同様にメモリ1のn段（ビット）にそれぞれ対応したものとなる。

メモリ1はシリアルで入力する書き込みデータ①を書き込みクロック $\phi 1 \sim \phi n$ により各段（ビット）をパラレルに変換して書き込み保持し、読出しクロック $\phi 1 \sim \phi n$ にて読出す場合にはシリアルに変換して読出す。

クロック発生回路5は読出しクロック発生回路3及び位相比較回路4とで形成したディジタルP

LSL（以下DPLLと称する）をなし、位相比較回路4からの比較結果信号を直流成分にして、その大小直流成分にて自走発振周波数を発生、これを読出し基準クロック④として発生している。

尚、DPLLの基本的構成としては、ディジタル変換した入力信号をディジタル電圧制御発振器（以下VCOと称する）から出力する信号と位相比較し、その比較結果はディジタルフィルタを介してディジタルVCOの制御信号として印加され、一方ではアナログ変換して出力信号として取り出すように構成されている。

第5図（A）は書き込みデータ①をパラレルに変換して書き込む状況を示す。即ち、5ビットのデータA～Eをメモリ1へ書き込む場合、書き込みクロック $\phi 1$ にてデータAを書き込み、書き込みクロック $\phi 5$ にてデータEを書き込む。

この時のメモリ1を読出す位相としては、書き込みクロック $\phi 1 \sim \phi 5$ の中間の位相位置から読出しを開始した方がクロックの位相ばらつきに対して一番安全である。

即ち、メモリ1に対する書き込みデータのタイミングと読出しタイミングとは非同期でしかも速度も異なるため、メモリ1へデータを書き込み開始したと同時に読出しを開始すると、旧データを読出す可能性があり、又メモリ1へデータの書き込みが完了してから読出しを開始すると処理時間が長くなる等の問題が発生する。

従って、上述の5ビットのデータA～Eの場合は、書き込みクロックφ3にてデータCが書き込み終了した時点からデータAの読出しを開始するように設定されている。

従って、位相比較回路4は書き込みクロックφ3と読出しクロックφ1との位相比較を行い、位相が一致した場合にはその比較結果出力は“0”レベルで出力せず、ずれ量に応じて“H”又は“L”信号を出力する。

クロック発生回路5はこの比較結果信号④'により、読出し基準クロック⑤の周期を制御する。即ち、第5図(B)に示すように比較結果信号④'が“H”の時はクロック発生回路5は周期を

短くし、“L”の時は周期を長くするように制御した読出し基準クロック⑤を発生する。

従って、第5図(C)に示すように、書き込みクロックφ3を中心に読出しクロックφ1の位相は時間的に前後に動くことになる。

上述の第4図に示す従来例において、例えばメモリ1の段数を5ビットから10ビットに変更し、位相比較回路4での位相比較位置を5ビットの時と同じく書き込みクロックφ3と読出しクロックφ1とで行うと、第5図(D)で示すように読出しクロックφ1の前後の余裕にばらつきが生じることになる。

即ち、前余裕が2ビットで後余裕が8ビットとばらつき、このばらつきの幅によってはデータ読出しが旧データを読出す可能性があるため、位相比較位置を6相目にするにより前後の余裕を均一にする必要がある。

一方、第6図に示す他の従来例では書き込みクロックφ1と読出しクロックφ1との位相を比較する2つのフリップフロップ回路(以下F、F'回

路と称する)61、62を有し、F、F'回路61、62の出力を排他的論理和する排他的論理和回路(以下EOR回路と称する)63とを備えて構成されている。

又、この時のクロック発生回路7を構成するPLLは、第7図に示すような位相比較結果信号④'の“H”の時間と“L”の時間の時間差を積分し、この積分の和がある値に達した時に読出し基準クロック⑤の周期を変えるように制御するものである。

従って、第8図に示す従来例では、メモリ段数を変更しても比較する位相位置を変更する必要がなく、しかも基準となるクロックのデューティファクタにも無関係になる。

〔発明が解決しようとする課題〕

上述のように第4図に示す従来例では、メモリ段数を変更する度に比較する位相位置を変更する必要があり、しかも書き込みクロックに対する読出しクロックの位置が中心位置に設定するためには、

比較する書き込みクロックのデューティファクタが50%である必要がある。

一方、第6図に示す従来例ではメモリ段数を変更しても比較する位相位置を変更する必要はなく、しかも基準となるクロックのデューティファクタにも無関係になるが、位相比較結果信号④'の立ち上がりエッジが読出し基準クロック⑤に対して非同期であるため、クロック発生回路7に対して誤制御をかける可能性があった。

本発明は、メモリ段数にも基準となるクロックのデューティファクタにも無関係でしかもクロック発生回路に対して誤制御をかけることがない位相比較回路を実現することを目的とする。

〔課題を解決するための手段〕

第1図は本発明の原理を説明するブロック図を示す。

第1図に示す本発明の原理ブロック図中の61は複数段のメモリに書き込まれている入力データを読出すためにメモリ段に対応して複数相の読出しク

ロック $\phi 1 \sim \phi n$ を発生する読出しクロック発生手段30からの第1相の読出しクロック $\phi 1$ と、入力データと同一速度を有するクロックに基づき、入力データをメモリの一段目へ書き込むための第1相の書き込みクロック $\phi 1$ との位相を比較する比較手段であり、

82は所定自走発振周波数を有するフェーズロックドループからなるクロック発生手段70から出力する読出しクロック発生手段30をアクセスするための所定速度の読出し基準信号 ϕ にて比較手段81から出力する比較結果出力を打ち直す同期手段であり、

かかる手段を備えることにより本課題を解決するための手段とする、

(作 用)

1段目のメモリに対してデータを書き込むためのタイミングである1相目の書き込みクロック $\phi 1$ と1段目のメモリからデータを読出すためのタイミングである1相目の読出しクロック $\phi 1$ とを比較

0aの実施例であり、第1図で説明した比較手段81として、第4図で説明した2つのF、F回路61、62とE-QR回路63からなる比較部81a、

同期手段82として、インバータ回路82bと2つのF、F回路82c、82dからなる同期部82aから構成した例である。

又、本実施例のメモリ1は第4図で説明したのと同じ内容する有するメモリ段数が5ビットの場合であり、その時の書き込みクロック $\phi 1 \sim \phi 5$ と読出しクロック $\phi 1 \sim \phi 5$ の位相比較は、第1相目である書き込みクロック $\phi 1$ と読出しクロック $\phi 1$ で行うものとする。

この2つのクロック $\phi 1$ を比較する比較部81aの出力は、第3図(C)の上段の信号(位相比較 ϕ で示す)となり、これを同期部82aで読出し基準クロック(信号) ϕ で打ち直し同期処理した信号が、第3図(C)の下段に示す信号(同期位相比較出力 ϕ で示す)である。

本実施例のクロック発生回路70aは第7図で

手段81にて位相比較し、その比較結果出力を同期手段82にてクロック発生手段70から出力する読出しクロック発生手段30をアクセスするための読出し基準クロックのタイミングで打ち直すことにより、メモリ段数にも基準となるクロックのデューティファクタにも無関係でしかもクロック発生手段70に対して誤制御をかけることがなく、書き込みクロックに対する読出しクロックの位相比較位置を常に一定位置で確保することが可能となる。

(実施例)

以下本発明の要旨を第2図、第3図に示す実施例により具体的に説明する。

第2図は本発明の実施例を説明するブロック図、第3図は本発明の実施例における処理状況を説明する図をそれぞれ示す。尚、全図を通じて同一符号は同一対象物を示す。

第2図に示す本発明の位相比較手段80aは以下に説明する機能ブロックを備える位相比較回路8

説明したのと同じの内容を有するもので、同期部82aの出力の“R”の時間と“L”の時間差を積分し、この差の和がある値に達した時に読出し基準クロック(信号) ϕ の周期を突える制御を行うものである。

尚、この同期部82aの出力 ϕ は読出し基準クロック(信号) ϕ と同期しているため、クロック発生回路70aに対して誤制御を掛けることが防止される。

(発明の効果)

以上のような本発明によれば、メモリ段数にも基準となるクロックのデューティファクタにも無関係でしかも読出しクロックを生成するための基準信号を発生するクロック発生回路に対しても誤制御をかけることがない位相比較回路を実現することが出来る。

4. 図面の簡単な説明

第1図は本発明の原理を説明するブロック図、

第2図は本発明の実施例を説明するブロック図、
第3図は本発明の実施例における処理状況を説明する図、

81は比較手段、
81aは比較部、
をそれぞれ示す。

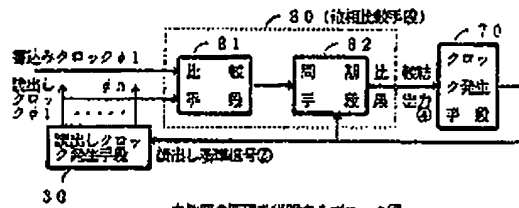
第4図は従来例を説明するブロック図、
第5図は従来例における処理状況を説明する図、
第6図は他の従来例を説明するブロック図、
第7図は他の従来例における処理状況を説明する図、
をそれぞれ示す。

代理人 井理士 井裕貞一



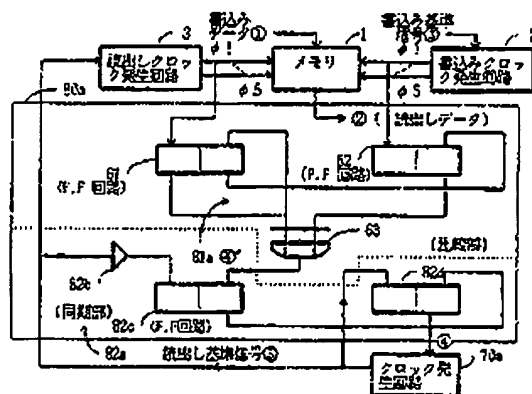
図において、

- 1はメモリ、
- 2は蓄込みクロック発生回路、
- 3は読出しクロック発生回路、
- 4、6は位相比較回路、
- 5、7、70aはクロック発生回路、
- 30は読出しクロック発生手段、
- 61、62、82c、82dはF、F回路、
- 70はクロック発生手段、
- 80は位相比較手段、
- 80aは位相比較部、



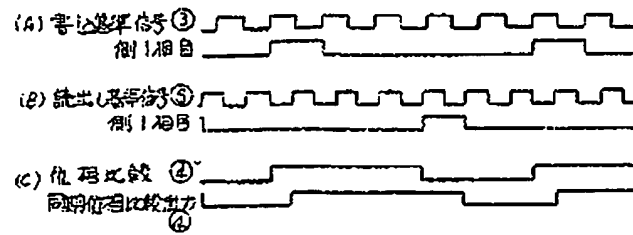
本発明の原理を説明するブロック図

第1図



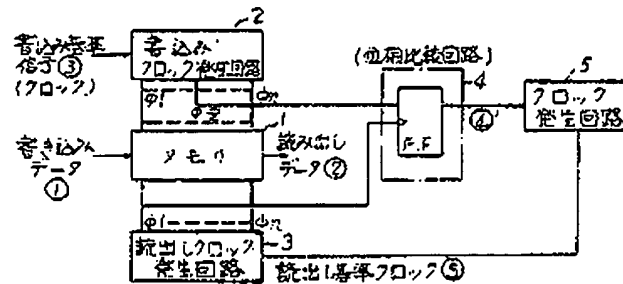
本発明の実施例を説明するブロック図

第2図



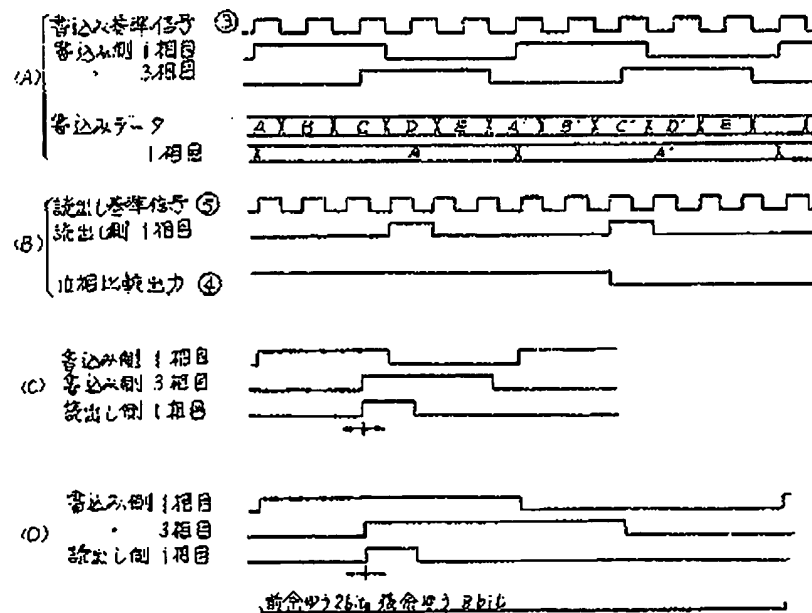
本発明の実施例における処理状況の説明する図

第 3 図



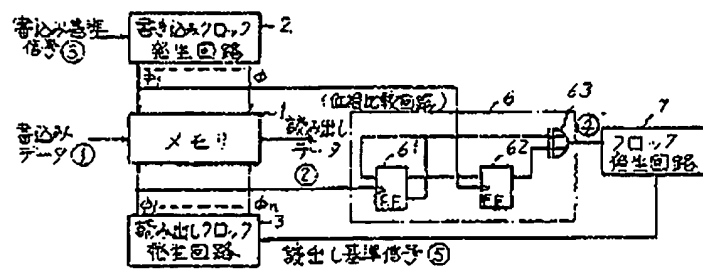
従来例を説明するブロック図

第 4 図



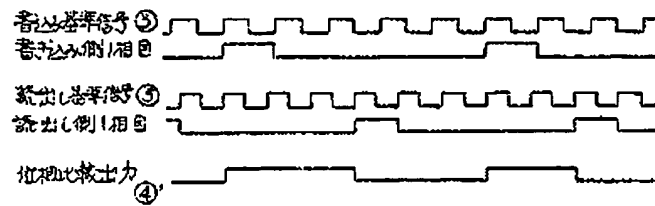
従来例における処理状況の説明する図

第 5 図



他の従来例を説明するブロック図

第 6 図



他の従来例における処理状況を説明する図

第 7 図